

Projektowanie systemów osadzonych - opis przedmiotu

Informacje ogólne	
Nazwa przedmiotu	Projektowanie systemów osadzonych
Kod przedmiotu	06.0-WI-INF-D-PSO
Wydział	Wydział Informatyki, Elektrotechniki i Automatyki
Kierunek	Informatyka
Profil	ogólnoakademicki
Rodzaj studiów	drugiego stopnia z tyt. magistra inżyniera
Semestr rozpoczęcia	semestr zimowy 2019/2020

Informacje o przedmiocie	
Semestr	2
Liczba punktów ECTS do zdobycia	5
Typ przedmiotu	obieralny
Język nauczania	polski
Sylabus opracował	dr inż. Michał Doligalski

Formy zajęć					
Forma zajęć	Liczba godzin w semestrze (stacjonarne)	Liczba godzin w tygodniu (stacjonarne)	Liczba godzin w semestrze (niestacjonarne)	Liczba godzin w tygodniu (niestacjonarne)	Forma zaliczenia
Wykład	30	2	18	1,2	Egzamin
Laboratorium	30	2	18	1,2	Zaliczenie na ocenę

Cel przedmiotu

- zapoznanie studentów z podstawowymi technikami zintegrowanego projektowania systemów sprzętowo-programowych
- ukształtowanie wśród studentów zrozumienia konieczności stosowania rozwiązań integrujących sprzęt i oprogramowanie w systemie osadzonym
- ukształtowanie podstawowych umiejętności w zakresie projektowania układów i systemów osadzonych, oraz ich oprogramowania.

Wymagania wstępne

Zakres tematyczny

Tendencje na rynku elektroniki, a zwłaszcza systemów zintegrowanych. Rola układów osadzonych we współczesnej elektronice. Podejście zintegrowane do projektowania jako nowa jakość w stosunku do metod tradycyjnych. Podstawowe fazy projektowania zintegrowanego: specyfikacja, translacja do modelu formalnego, modelowanie, weryfikacja, kosymulacja, dekompozycja, implementacja części sprzętowej i programowej. Specyfikacja systemów mikroprocesorowych na poziomie systemowym. Zastosowanie języków opisu sprzętu (VHDL, Verilog itp.) i programowania (C/C++, Java itp.) do reprezentacji systemów sprzętowo-programowych. Modele formalne stosowane w projektowaniu zintegrowanym: wymagania i cechy modeli. Omówienie najważniejszych typów modeli. Architektury systemów zintegrowanych (typowe elementy architektury, typowy szablon architektury, koprocesorowy tryb pracy, koszt interfejsu HW/SW). Specjalizowane procesory sprzętowe (FPGA/CPLD) i programowe (ASIP).

Metody kształcenia

wykład: wykład konwencjonalny

laboratorium: praca w grupach, zajęcia praktyczne, ćwiczenia laboratoryjne

Efekty uczenia się i metody weryfikacji osiągnięcia efektów uczenia się

Opis efektu	Symbole efektów	Metody weryfikacji	Forma zajęć
Potrafi, przy użyciu narzędzi CAD, zaprojektować prosty system osadzony oraz oprogramować go z wykorzystaniem języków programowania	• K_W06 • K_U12	• bieżąca kontrola na zajęciach • sprawdzian	• Laboratorium
Zna modele formalne oraz ich cechy stosowane w projektowaniu zintegrowanym	• K_W09	• egzamin - ustny, opisowy, testowy i inne	• Wykład
Potrafi wskazać fazy projektowania zintegrowanego, omówić architekturę systemu osadzonego.	• K_W11	• egzamin - ustny, opisowy, testowy i inne	• Wykład
Rozumie rolę układów osadzonych we współczesnej elektronice potrafi zastosować je praktycznie	• K_U16	• bieżąca kontrola na zajęciach • sprawdzian	• Laboratorium

Warunki zaliczenia

Wykład - Warunkiem zaliczenia jest uzyskanie pozytywnej oceny z egzaminu realizowanego w formie pisemnej. Warunkiem przystąpienia do egzaminu jest pozytywna ocena z laboratorium.

Laboratorium - warunkiem zaliczenia jest uzyskanie pozytywnych ocen ze wszystkich ćwiczeń laboratoryjnych, przewidzianych do realizacji w ramach programu laboratorium (80%) oraz aktywności na zajęciach (20%).

Składowe oceny końcowej = wykład: 60% + laboratorium: 40%

Literatura podstawowa

1. Balarin F. et al.: Hardware-Software Co-Design of Embedded Systems. The POLIS Approach, Kluwer Academic Publishers, 1997.
2. De Micheli G.: Synteza i optymalizacja układów cyfrowych, WNT, Warszawa, 1998.
3. Proceedings of the IEEE, Special issue on Hardware/Software Codesign, vol. 85, No. 3, March 1997.
4. Staunstrup J., Wolf W. (eds.): Hardware/Software Co-Design: Principles and Practice, Kluwer Academic Publishers, 1997.

Literatura uzupełniająca

1. Ciletti M. D.: Modeling, Synthesis, and Rapid Prototyping with the Verilog HDL, Prentice-Hall, Upper Saddle River, NJ, 1999.
2. Kamionka-Mikuła H., Małysiak H., Pochopień B.: Synteza i analiza układów cyfrowych, Wydawnictwo Pracowni Komputerowej Jacka Skalmierskiego, Gliwice, 2006.
3. Łuba T., Zbierchowski B.: Komputerowe projektowanie układów cyfrowych, WKiŁ, Warszawa, 2000.
4. Skahill K.: Język VHDL - Projektowanie programowalnych układów logicznych, WNT, Warszawa, 2001.
5. Zwoliński M.: Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, Wydanie 2, WKŁ, Warszawa, 2007.

Uwagi

Zmodyfikowane przez dr inż. Michał Doligalski (ostatnia modyfikacja: 24-04-2019 23:01)

Wygenerowano automatycznie z systemu SyllabUZ