

Języki modelowania systemów cyfrowych - opis przedmiotu

Informacje ogólne	
Nazwa przedmiotu	Języki modelowania systemów cyfrowych
Kod przedmiotu	06.0-WI-INFP-JMSC
Wydział	Wydział Informatyki, Elektrotechniki i Automatyki
Kierunek	Informatyka
Profil	ogólnoakademicki
Rodzaj studiów	pierwszego stopnia z tyt. inżyniera
Semestr rozpoczęcia	semestr zimowy 2020/2021

Informacje o przedmiocie	
Semestr	5
Liczba punktów ECTS do zdobycia	5
Typ przedmiotu	obowiązkowy
Język nauczania	polski
Sylabus opracował	dr inż. Michał Doligalski

Formy zajęć					
Forma zajęć	Liczba godzin w semestrze (stacjonarne)	Liczba godzin w tygodniu (stacjonarne)	Liczba godzin w semestrze (niestacjonarne)	Liczba godzin w tygodniu (niestacjonarne)	Forma zaliczenia
Wykład	30	2	18	1,2	Zaliczenie na ocenę
Laboratorium	30	2	18	1,2	Zaliczenie na ocenę

Cel przedmiotu

- zapoznanie studentów ze standardowymi językami opisu sprzętu (HDL)
- zapoznanie studentów z wykorzystaniem języków HDL do modelowania, symulacji i syntezy układów cyfrowych
- ukształtowanie wśród studentów zrozumienia konieczności przeprowadzenia komputerowej weryfikacji (symulacji) projektowanych układów cyfrowych

Wymagania wstępne

Układy cyfrowe

Podstawy programowania

Architektura komputerów I i II

Zakres tematyczny

Wprowadzenie: Geneza i przeznaczenie języków opisu sprzętu (HDL). Wprowadzenie do modelowania systemów cyfrowych. Język VHDL. Ogólna organizacja jednostki projektowej. Różne poziomy abstrakcji opisu architektury jednostki projektowej. Podstawowe instrukcje równoległe (instrukcje przypisania wartości sygnałów, bloki, instrukcje równoległego wywoływania procedur i funkcji). Definiowanie procesów z listą czułości. Instrukcje sekwencyjne. Synchronizacja procesów. Architektura jednostki przedstawiona w postaci opisu zachowania (behawioralnego). Architektura jednostki w postaci opisu struktury. Konfiguracje. Pojęcia stałych, zmiennych i sygnałów. Procedury i funkcje. Sposoby modelowania opóźnień. Atrybuty, atrybuty predefiniowane. Pakiety. Biblioteki. Omówienie typów złożonych (rekordy, pliki). Operacje tekstowe w języku VHDL. Tworzenie modeli testujących (testbench).

Język Verilog. Ogólna organizacja modułu układu. Poziomy abstrakcji opisu modułu. Podstawowe instrukcje równoległe (przypisania ciągle i proceduralne, wywoływania zadań i funkcji). Konstrukcje always i initial. Instrukcje sekwencyjne. Moduły. Modele układów w postaci opisu struktury. Stałe, sieci i rejestry. Sposoby modelowania opóźnień. Wykorzystanie logiki wielowartościowej (modelowanie wysokiej impedancji, tworzenie magistral trójstanowych). Modelowanie układów CMOS. Standardowe bramki i bufory. Układy UDP: kombinacyjne i sekwencyjne. Zadania i funkcje. Zadania i funkcje systemowe. Definiowanie własnych zadań i funkcji. Operacje tekstowe w języku Verilog. Wykorzystanie języków HDL do syntezy układów cyfrowych. Modelowanie automatów cyfrowych. Strategie projektowania systemów cyfrowych w języku VHDL. Dzielenie zasobów systemowych. Opóźnienia w symulacji i syntezie. Symulacja z uwzględnieniem rzeczywistych opóźnień (ang. backannotation). Modelowanie systemów sprzętowo-programowych.

Metody kształcenia

Wykład: wykład konwencjonalny/tradycyjny

Laboratorium: ćwiczenia laboratoryjne z wykorzystaniem sprzętu komputerowego

Efekty uczenia się i metody weryfikacji osiągnięcia efektów uczenia się

Opis efektu	Symbolizacja efektów	Metody weryfikacji	Forma zajęć
-------------	----------------------	--------------------	-------------

Opis efektu	Symbole efektów	Metody weryfikacji	Forma zajęć
Potrafi zaprojektować model prostego układu cyfrowego z wykorzystaniem wybranego języka opisu sprzętu, w tym bazując na standardowych bibliotekach oraz modułach IP-Core	K_W04 K_U19 K_K09	- bieżąca kontrola na zajęciach - sprawdzian	Laboratorium
Potrafi wykorzystać języki opisu sprzętu w procesie projektowania układów cyfrowych	K_W04	kolokwium	Wykład
Potrafi przeprowadzić analizę systemu cyfrowego na różnych etapach projektowania, w tym z uwzględnieniem parametrów czasowych	K_W19	- kolokwium - sprawdzian	- Wykład - Laboratorium
Rozumie potrzebę przeprowadzenia komputerowej weryfikacji (symulacji) projektowanych układów cyfrowych	K_W09 K_U19	- bieżąca kontrola na zajęciach - kolokwium	- Wykład - Laboratorium

Warunki zaliczenia

Wykład - warunkiem zaliczenia jest uzyskanie pozytywnych ocen z kolokwiów pisemnych lub ustnych przeprowadzonych co najmniej raz w semestrze

Laboratorium - warunkiem zaliczenia jest uzyskanie pozytywnych ocen ze wszystkich ćwiczeń laboratoryjnych, przewidzianych do realizacji w ramach programu laboratorium, oraz testów sprawdzających wiedzę

Składowe oceny końcowej = wykład: 50% + laboratorium: 50%

Literatura podstawowa

1. Kalisz J. (Ed.): Język VHDL w praktyce, WKŁ, Warszawa, 2002
2. Palnitkar S.: Verilog HDL: A Guide to Digital Design and Synthesis, Prentice Hall, 1996
3. Hajduk Z.: Wprowadzenie do języka Verilog, Wydawnictwo BTC, Legionowo, 2009.
4. Zwoliński M.: Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, 2 ed., WKŁ, Warszawa, 2007.

Literatura uzupełniająca

1. Bergeron J.: Writing Testbenches using SystemVerilog, Springer, New York, 2006
2. Cohen B.: VHDL Coding Styles and Methodologies, Kluwer Academic Publishers, Second Printing, 1996
3. IEEE Std 1364-2001: IEEE Standard Verilog Hardware Description Language, IEEE, Inc., New York, USA
4. Skahill K.: Język VHDL. Projektowanie programowalnych układów logicznych, WNT, Warszawa, 2001.

Uwagi

Zmodyfikowane przez dr inż. Michał Doligalski (ostatnia modyfikacja: 26-04-2020 21:52)

Wygenerowano automatycznie z systemu SyllabUZ