

Modelling and simulation of digital systems - opis przedmiotu

Informacje ogólne	
Nazwa przedmiotu	Modelling and simulation of digital systems
Kod przedmiotu	06.0-WE-INFP-MaSoDS-Er
Wydział	Wydział Informatyki, Elektrotechniki i Automatyki
Kierunek	Informatyka
Profil	ogólnoakademicki
Rodzaj studiów	Program Erasmus pierwszego stopnia
Semestr rozpoczęcia	semestr zimowy 2022/2023

Informacje o przedmiocie	
Semestr	5
Liczba punktów ECTS do zdobycia	5
Typ przedmiotu	obowiązkowy
Język nauczania	angielski
Sylabus opracował	dr inż. Michał Doligalski

Formy zajęć					
Forma zajęć	Liczba godzin w semestrze (stacjonarne)	Liczba godzin w tygodniu (stacjonarne)	Liczba godzin w semestrze (niestacjonarne)	Liczba godzin w tygodniu (niestacjonarne)	Forma zaliczenia
Wykład	30	2	-	-	Zaliczenie na ocenę
Laboratorium	30	2	-	-	Zaliczenie na ocenę

Cel przedmiotu

- familiarize students with the standard languages of the equipment description (HDL)
- to familiarize students with the use of HDL languages for modeling, simulation, and synthesis of the digital circuits
- forming among students an understanding of the necessity of computer-based computing verification (simulation) of designed digital circuits

Wymagania wstępne

Digital circuits, Fundamentals of programming, Computer architecture

Zakres tematyczny

Introduction: Genesis and destination of hardware description languages (HDL). Introduction to modeling of digital systems. VHDL language. General organization of the design unit. Different levels of abstraction describing the architecture of the design unit. Basic instructions parallel (instructions for assigning signal values, blocks, parallel instructions calling procedures and functions). Defining processes with a sensitivity list. Instructions Sequential. Synchronization of processes. The architecture of the unit presented in the form description of behavior (behavioral). The architecture of the unit in the form of a structure description. Configurations. Concepts of constants, variables and signals. Procedures and functions. Ways of the delay modeling. Attributes, predefined attributes. Packages. Libraries. Discussion complex types (records, files). Text operations in VHDL language. Creating models testers (testbench). Verilog language. General arrangement of the layout module. Abstraction levels of the module description. Basic parallel statements (continuous and procedural assignments, task calls and functions). Always and initial constructions. Sequential instructions. Modules. Models of systems in the form of structure description. Constants, networks and registers. Ways of delay modeling. The use of multivalent logic (high impedance modeling, creation three-state bus). Modeling of CMOS circuits. Standard gates and buffers. UDP systems: combinational and sequential. Tasks and functions. Tasks and system functions. Defining your own tasks and functions. Text operations in the Verilog language. The use of HDL languages for the synthesis of digital circuits. Modeling of machines digital. Strategies for designing digital systems in VHDL language. Sharing resources system. Delays in simulation and synthesis. Simulation including real delay (backannotation). Modeling of hardware and software systems. The basics of the SystemVerilog language.

Metody kształcenia

- Lecture: conventional / traditional lecture
- Laboratory: laboratory exercises using computer equipment

Efekty uczenia się i metody weryfikacji osiągnięcia efektów uczenia się

Opis efektu	Symbole efektówMetody weryfikacji	Forma zajęć
He can use the equipment description languages in the design process of systems digital	kolokwium	Laboratorium
He can analyze the system digital at various stages design, including time parameters	- kolokwium - sprawdzian	- Wykład - Laboratorium

Opis efektu	Symbole efektów	Metody weryfikacji	Forma zajęć
Rozumie potrzebę przeprowadzenia komputerowej weryfikacji (symulacji) projektowanych układów cyfrowych		- bieżąca kontrola na zajęciach - kolokwium	- Wykład - Laboratorium
He can model a simple layout digital using the selected one hardware description language, including based on standard libraries as well IP-Core modules		- bieżąca kontrola na zajęciach - sprawdzian	Laboratorium

Warunki zaliczenia

- Lecture - the condition for passing is to obtain positive mark from final test
- Laboratory - the condition for passing is to get positive grades from everyone laboratory exercises planned for implementation as part of the laboratory program, and knowledge tests, minimum two
- Components of the final grade = lecture: 50% + laboratory: 50%

Literatura podstawowa

- Zwoliński M., Digital System Design with VHDL, Prentice-Hall, Inc, 2003
- Bergeron J., Writing Testbenches, Functional Verification of HDL Models, Springer 2013
- Bergeron J.: Writing Testbenches using SystemVerilog, Springer, New York, 2006
- Mehta, Ashok B., Introduction to SystemVerilog, Springer, 2021

Literatura uzupełniająca

- Cohen B.: VHDL Coding Styles and Methodologies, Kluwer Academic Publishers, Second Printing, 1996
- IEEE Std 1364-2001: IEEE Standard Verilog Hardware Description Language, IEEE, Inc., New York, USA

Uwagi

Zmodyfikowane przez dr inż. Michał Doligalski (ostatnia modyfikacja: 23-04-2022 07:42)

Wygenerowano automatycznie z systemu SylabUZ