

Sprzętowe systemy sterujące - opis przedmiotu

Informacje ogólne	
Nazwa przedmiotu	Sprzętowe systemy sterujące
Kod przedmiotu	06-2-WE-AiRP-SSS
Wydział	Wydział Informatyki, Elektrotechniki i Automatyki
Kierunek	Automatyka i robotyka
Profil	ogólnoakademicki
Rodzaj studiów	pierwszego stopnia z tyt. inżyniera
Semestr rozpoczęcia	semestr zimowy 2018/2019

Informacje o przedmiocie	
Semestr	5
Liczba punktów ECTS do zdobycia	4
Typ przedmiotu	obieralny
Język nauczania	polski
Sylabus opracował	dr inż. Michał Doligalski

Formy zajęć					
Forma zajęć	Liczba godzin w semestrze (stacjonarne)	Liczba godzin w tygodniu (stacjonarne)	Liczba godzin w semestrze (niestacjonarne)	Liczba godzin w tygodniu (niestacjonarne)	Forma zaliczenia
Wykład	15	1	9	0,6	Zaliczenie na ocenę
Laboratorium	30	2	18	1,2	Zaliczenie na ocenę

Cel przedmiotu

zapoznanie studentów z podstawowymi technikami specyfikacji, modelowania i syntezy sprzętowych systemów sterowania

zapoznanie studentów ze złożonymi strukturami programowalnymi

ukształtowanie podstawowych umiejętności w zakresie projektowania układów sterowania wykorzystując języki opisu sprzętu

Wymagania wstępne

Podstawy techniki cyfrowej i mikroprocesorowej, Sterowanie procesami dyskretnymi

Zakres tematyczny

Zapoznanie się z elementarnymi układami cyfowymi. Podstawowe bramki cyfrowe. Podstawowe przerzutniki cyfrowe. Kombinacyjne i sekwencyjne cyfrowe bloki funkcjonalne (multiplexery, dekodery/demultiplexery, liczniki, rejestry, pamięci). Dekompozycja układu cyfowego na część sterującą i operacyjną. Metody opisy części sterującej i operacyjnej układu cyfowego. Współpraca układu operacyjnego z układem sterującym. Projektowanie kombinacyjnych i sekwencyjnych układów sterujących z wykorzystaniem cyfrowych bloków funkcjonalnych. Projektowanie cyfrowych układów sterujących z wykorzystaniem programowalnych struktur logicznych PLD, CPLD i FPGA (wprowadzenie; budowa wewnętrzna układów PLD, CPLD i FPGA; przykłady projektowania). Wprowadzenie do projektowania sterujących układów cyfrowych z wykorzystaniem języków opisu sprzętu (ogólna struktura modelu w języku VHDL, przykładowa specyfikacja w języku VHDL, cechy języka VHDL, zastosowania języka VHDL). Podstawowe zagadnienia języka VHDL (struktura modelu, obiekty danych, typy danych).

Specyfikacja zachowania układu cyfowego z wykorzystaniem instrukcji procesu (struktura procesu, lista czułości, podstawowe sekwencyjne instrukcje języka VHDL, na przykład instrukcje warunkowe i pętli). Specyfikacja opisu struktury systemu cyfowego w języku VHDL (elementy opisu strukturalnego, instrukcja konfiguracji, instrukcja replikacji, elementy procedury testowej, instancja komponentu do testowania, definicja wektorów testowych, instrukcja asercji). Projektowanie cyfrowych bloków funkcjonalnych typu IP (ang. Intellectual Property) z wykorzystaniem języka VHDL. Zastosowanie języka VHDL i programowalnych struktur logicznych (PLD, CPLD i FPGA) w projektowaniu cyfrowych układów sterujących.

Metody kształcenia

Wykład: wykład konwencjonalny/tradycyjny

Laboratorium: ćwiczenia laboratoryjne z wykorzystaniem sprzętu komputerowego

Efekty uczenia się i metody weryfikacji osiągnięcia efektów uczenia się

Opis efektu	Symbole efektów	Metody weryfikacji	Forma zajęć
Potrafi przeprowadzić symulacje i syntezę prostych układów sterowania binarnego	K_U18	- bieżąca kontrola na zajęciach - sprawdzian	Laboratorium
Posiada wiedzę nt. programowalnych układów logicznych	K_W17	kolokwium	Wykład

Opis efektu	Symbol e efektów	Metody weryfikacji	Forma zajęć
Posiada wiedzę nt. metod projektowania sprzętowych systemów sterowania z wykorzystaniem języków opisu sprzętu (HDL)	• K_W17	- bieżąca kontrola na zajęciach - kolokwium - sprawdzian	- Wykład - Laboratorium
Potrafi przygotować specyfikację podstawowych bloków funkcjonalnych w postaci modelu w językach HDL	• K_U18	- kolokwium - sprawdzian	- Wykład - Laboratorium

Warunki zaliczenia

Wykład – warunkiem zaliczenia jest uzyskanie pozytywnych ocen z kolokwίων pisemnych lub ustnych przeprowadzonych co najmniej raz w semestrze

Laboratorium – warunkiem zaliczenia jest uzyskanie pozytywnych ocen ze wszystkich ćwiczeń laboratoryjnych, przewidzianych do realizacji w ramach programu laboratorium

Składowe oceny końcowej = wykład: 50% + laboratorium: 50%

Literatura podstawowa

1. Kamionka-Mikuła H., Małysiak H., Pochopień B.: Synteza i analiza układów cyfrowych, Wydawnictwo Pracowni Komputerowej Jacka Skalmierskiego, Gliwice, 2006
2. Łuba T., Zbierzchowski B.: Komputerowe projektowanie układów cyfrowych, WKiŁ, Warszawa, 2000
3. Pasierbiński J., Zbysiński P.: Układy programowalne w praktyce, WKŁ, Warszawa, 2001
4. Skahill K.: Język VHDL. Projektowanie programowalnych układów logicznych, WNT, Warszawa, 2001
5. Zwoliński M.: Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, Wydanie 2, WKŁ, Warszawa, 2007

Literatura uzupełniająca

1. Kalisz J. (Ed.): Język VHDL w praktyce, WKŁ, Warszawa, 2002.
2. Kalisz J.: Podstawy elektroniki cyfrowej, WKŁ, Warszawa, 1998.
3. Lisiecka-Frąszczak J.: Synteza układów cyfrowych, Wydawnictwo Politechniki Poznańskiej, Poznań, 2000.

Uwagi

Zmodyfikowane przez dr hab. inż. Wojciech Paszke, prof. UZ (ostatnia modyfikacja: 15-03-2018 21:46)

Wygenerowano automatycznie z systemu SylabUZ